

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC836 U.S. 09/604072 Pro
09/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1999年 6月28日

出願番号
Application Number: 平成11年特許願第182589号

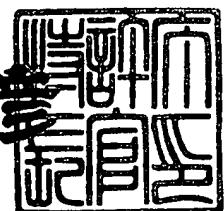
出願人
Applicant(s): 富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 3月31日

特許庁長官
Commissioner,
Patent Office

近藤 隆



出証番号 出証特2000-3021751

#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Yoshihiro MIYAMOTO

Serial No.: NEW

Filed: June 26, 2000

For: SOLID-STATE IMAGING DEVICE

JC836 U.S. PRO
09/604072
06/26/00



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D. C. 20231

Date: June 26, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 11-182589, Filed June 28, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,
McLELAND & NAUGHTON



William L. Brooks
Attorney for Applicant
Reg. No. 34,129

Atty. Docket No. 000808
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WLB/lif

【書類名】 特許願

【整理番号】 9940281

【提出日】 平成11年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

H04N 5/335

【発明の名称】 固体撮像装置

【請求項の数】 4

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 宮本 義博

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905855

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項1】

入射光を光電変換する感光部と、前記感光部に蓄積された電荷を移送する移送ゲートと、前記移送ゲートから移送された前記電荷を蓄積するリセット可能な検出容量と、選択信号に基づいて前記検出容量の電荷を出力する選択スイッチとを備えた複数の画素と、

前記複数の画素が接続され、複数の前記選択スイッチのいずれかを介して前記検出容量の電荷が出力される選択線と、

前記選択線に出力された前記検出容量の電荷を電圧に変換する電荷増幅器とを有することを特徴とする固体撮像装置。

【請求項2】

請求項1記載の固体撮像装置において、

前記電荷増幅器は、容量帰還型インピーダンス変換回路であることを特徴とする固体撮像装置。

【請求項3】

請求項1又は2に記載の固体撮像装置において、

前記電荷増幅器は、前記選択スイッチがオンになって前記検出容量が前記選択線に接続されることにより、前記検出容量のリセットレベルをリセット電圧に変換し、次いで前記移送ゲートがオンになって前記感光部から前記検出容量に移送した前記電荷を信号電圧に変換することを特徴する固体撮像装置。

【請求項4】

請求項1乃至3のいずれか1項に記載の固体撮像装置において、

前記電荷増幅器は、サンプルホールド回路を介して相関二重サンプリング回路に接続されていることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子で構成された固体撮像装置に関し、特に、CMOSプロセスで製造されるXYアドレス型固体撮像装置に関する。

【0002】

【従来の技術】

固体撮像装置には、CMOSでイメージセンサを構成したXYアドレス型固体撮像装置と、電荷転送型イメージセンサで構成された、いわゆるCCD固体撮像装置とがある。CMOSイメージセンサを用いたXYアドレス型固体撮像装置は特殊な製造プロセスを必要とせず、また単一電源で駆動して消費電力も小さく、さらに各種信号処理回路を同一チップ上に搭載できることから、CCD固体撮像装置に代わるものとして有望視されている。

【0003】

このCMOSイメージセンサを用いた従来のXYアドレス型固体撮像装置を図7を用いて説明する。図7は、従来のXYアドレス型イメージセンサの1画素分の回路例を示している。図7に示す従来のCMOSイメージセンサは、各画素にソースフォロワ等のバッファ404を搭載するAPS(Active Pixel Sensor)と呼称される構成を有している。フォトダイオード400のカソード側は、バッファ404のゲート電極とMOSFETのリセットスイッチ402に接続されている。また、バッファ404は水平選択スイッチ406を介して垂直選択線408と接続されている。

【0004】

この従来のXYアドレス型固体撮像装置の動作を簡単に説明する。まず、リセット信号RSTによりリセットスイッチ402が所定のタイミングでオンになると、フォトダイオード400がリセット電位VRSTに充電される。次いで光の入射に伴いフォトダイオード400の放電が始まり、リセット電位VRSTより電位が低下する。所定時間の経過後に水平選択信号RWnが水平選択スイッチ406のゲート電極に入力して水平選択スイッチ406がオンになるとバッファ404の電圧が信号電圧として垂直選択線408を介して取り出される。

【0005】

【発明が解決しようとする課題】

ところが、電荷蓄積容量とソースフォロワ等のアンプを搭載した上記構成の従来のAPSでは、同一信号に対してVT（しきい値電圧）のバラツキ等によりDC出力レベルが変動する固定パターン雑音（Fixed Pattern Noise；FPN）が発生して画質が劣化するという問題がある。これを低減させるため、従来では信号電圧をサンプリングしてからフォトダイオード400をリセット電位VRSTにリセットし、次いでリセット電圧をサンプリングして相関二重サンプリング回路（Correlated Double Sampling；CDS）を用いてFPNを低減させている。つまり、信号蓄積（積分）直前のリセット電圧ではなく、信号蓄積後のリセット電圧をサンプリングして信号電圧との差をCDS回路で求めることにより、VTバラツキの影響を除去してFPNを低減させている。ところがこの方法では、信号蓄積前のリセット雑音（kTC雑音）と信号読出後のリセット雑音とが加算され、ランダム雑音レベルが増大してS/N比がCCD固体撮像装置に比べて劣化するという課題が残っている。

【0006】

次に、特開平8-205034号公報に開示されたXYアドレス型固体撮像装置を図8を用いて説明する。図8において、フレーム転送用ゲートFTとMOS型スイッチSY1との間にソースフォロア型のバッファB1が接続されている。また、第2の静電容量C2には、第2の静電容量C2に蓄積された電荷を除去するためのMOSFETで構成されたリセットスイッチSR1が接続されている。バッファB1のドレイン電極は電源VDDに接続され、ソース電極は水平選択スイッチSY1に接続されている。また、バッファB1のゲート電極は第2の静電容量C2に接続されている。リセットスイッチSR1のドレイン電極にはリセット電位VRが印加されている。リセットスイッチSR1のソース電極は第2の静電容量C2に接続され、ゲート電極はリセット制御信号線L2に接続されている。

【0007】

第1の静電容量C1に電荷が蓄積された後にフレーム転送用ゲートFTを導通して第2の静電容量C2に電荷を転送すると、バッファB1のゲートの電位は次第に高くなる。所定時間の経過後に水平選択スイッチSY1がオンになるとバッファB1のソース電圧が垂直選択線を介して出力され、第2の静電容量C2に蓄積された電荷量Qを検出できる。フレーム転送用ゲートFTを導通する前に一旦リセットスイッチSR1を導通することで、第2の静電容量C2に蓄積されている電荷を全て除去でき、残像電荷による画質の劣化を抑制できる。

【0008】

以上の図8に示した従来のCMOSイメージセンサの構成は、フォトダイオードD1とバッファB1との間に、フレーム転送用ゲートFT、第2の静電容量C2、及びリセットスイッチSR1を設けているため、信号蓄積直前のリセット電圧をサンプリングして信号電圧との差を求めることが可能になる。但し、特開平8-205034号公報には、上述の考察について示唆する記載は全くない。

【0009】

このように図8に示した従来のCMOSイメージセンサの構成は、FPNを抑制しリセット雑音を低減させる可能性を有しているが、素子構成が複雑になってしまうという問題を有している。図8に示した画素の素子構成は、図7に示した画素の素子構成と比べて、トランジスタの数が少なくとも1つ（図7に示したリセットスイッチ402を付加したら2つ）増えており、画素部が複雑化して受光部の開口率（フィルファクタ）が低下してしまうという問題を有している。

【0010】

本発明の目的は、簡素な画素構成で広い開口率を有し、FPN及びリセット雑音を低減させた固体撮像装置を提供することにある。

【0011】

【課題を解決するための手段】

上記目的は、入射光を光電変換する感光部と、前記感光部に蓄積された電荷を移送する移送ゲートと、前記移送ゲートから移送された前記電荷を蓄積するリセット可能な検出容量と、選択信号に基づいて前記検出容量の電荷を出力する選択スイッチとを備えた複数の画素と、前記複数の画素が接続され、複数の前記選択

スイッチのいずれかを介して前記検出容量の電荷が出力される選択線と、前記選択線に出力された前記検出容量の電荷を電圧に変換する電荷増幅器とを有することを特徴とする固体撮像装置によって達成される。

【0012】

上記本発明の固体撮像装置において、前記電荷増幅器は、容量帰還型インピーダンス変換回路であることが好ましい。また、前記電荷増幅器は、前記選択スイッチがオンになって前記検出容量が前記選択線に接続されることにより、前記検出容量のリセットレベルをリセット電圧に変換し、次いで前記移送ゲートがオンになって前記感光部から前記検出容量に移送した前記電荷を信号電圧に変換することを特徴する。さらに前記電荷増幅器は、サンプルホールド回路を介して相關二重サンプリング回路に接続されていることが好ましい。

【0013】

【発明の実施の形態】

本発明の一実施の形態による固体撮像装置を図1乃至図6を用いて説明する。まず、本実施の形態による固体撮像装置の概略の構成を図1を用いて説明する。図1は、本実施の形態の固体撮像装置におけるXYアドレス型イメージセンサ1の2×2画素分の回路例を示している。各画素の感光部のフォトダイオード2、4、6、8のカソード側にMOSFETの移送ゲート(TG)10、12、14、16がそれぞれ接続されている。なお、感光部のフォトダイオード2はフォトゲートで構成してもよい。移送ゲート10、12、14、16とMOSFETの水平選択スイッチ26、28、30、32との間のフローティングディフュージョン(FD)領域のソース接合容量が検出容量18、20、22、24として用いられている。移送ゲート10、12のゲート電極は移送ゲート制御線62に接続され、移送ゲート14、16のゲート電極は移送ゲート制御線70に接続されている。水平選択スイッチ26、28のゲート電極は水平選択線64に接続され、水平選択スイッチ30、32のゲート電極は水平選択線72に接続されている。

【0014】

また、検出容量18、20、22、24をリセットレベルに充電するためのM

MOSFETのリセットスイッチ34、36、38、40がそれぞれ接続されている。リセットスイッチ34、36のドレイン電極はリセット電圧VRSが供給されるリセット電圧供給線58に接続されている。リセットスイッチ34、36のソース電極は検出容量18、20に接続され、ゲート電極はリセット制御信号線60に接続されている。リセットスイッチ38、40のドレイン電極にはリセット電圧VRSが供給されるリセット電圧供給線66に接続されている。リセットスイッチ38、40のソース電極は検出容量22、24に接続され、ゲート電極はリセット制御信号線68に接続されている。

【0015】

水平選択スイッチ26、30は垂直選択線54に接続され、水平選択スイッチ28、32は垂直選択線56に接続されている。各垂直選択線54、56には、それぞれ電荷増幅器（容量帰還型インピーダンス変換回路：CTIA）41、43が接続されている。垂直選択線54に接続された電荷増幅器41は、例えば図2に示すように、CMOSインバータ42と帰還容量46、及び帰還容量46を短絡するMOSFETのラインリセットスイッチ50を有している。図2において、図中破線で示したブロックは、垂直選択線54に接続された複数の画素のうち例示として図1左上の画素を示している。水平選択スイッチ26により検出容量18が垂直選択線54に接続されると、垂直選択線54に接続された電荷増幅器41により検出容量18に蓄積された電荷量に応じた電圧が出力OUTmとして出力されるようになっている。なお、図中の容量CLN、CLDは垂直選択線54のライン容量、ライン駆動容量を示している。また、電荷増幅器42は、フィルファクタ等を考慮しつつ、CMOSインバータに代えてCMOS演算増幅器等を用いることももちろん可能である。

【0016】

図1に戻り、同様に、垂直選択線56に接続された電荷増幅器43は、例えば、CMOSインバータ44と帰還容量48、及び帰還容量48を短絡するラインリセットスイッチ52を有している。ラインリセットスイッチ50、52のゲート電極は垂直選択線54、56をリセットするラインリセット信号線74に接続されている。

【0017】

以上説明したように、本実施の形態によるXYアドレス型イメージセンサ1の構成では、2次元（1次元でももちろんよい）に配列された各画素内にいわゆる能動素子（増幅器等）が存在していない。具体的には、移送ゲート10、12、14、16と水平選択スイッチ26、28、30、32との間に図7に示したバッファ404や図8に示したバッファB1のようなソースフォロア型のアンプが接続されていない。1画素中の主要な構成要素は、図1左上の画素を例に取ると、感光部のフォトダイオード2と、リセット可能な検出容量18と、感光部からの電荷の転送を制御する移送ゲート10と、リセットスイッチ34と、検出容量18を垂直選択線54に接続する水平選択スイッチ26だけである。1つの垂直選択線54に接続された複数の画素のうち、選択された画素の検出容量の電荷の変化が垂直選択線54に接続された1つの電荷増幅器41で検出される。このように1画素はフォトダイオード2と3個のトランジスタ（10、26、34）を有しており、素子数は図7に示した従来のAPSと同じで、図8に示した従来のAPSより1つ（又は2つ）少ない。本実施の形態による構成では、垂直選択線54を駆動するソースフォロワの駆動トランジスタが不要で、電流駆動能力の小さな3個のトランジスタを用いた簡素な素子構成を実現できるので、フィルファクタを改善することができる。

【0018】

次に、図3を用いてサンプルホールド回路及び相関二重サンプリング(CDS)回路の具体例について簡単に説明する。電荷増幅器41からの出力信号OUTmの入力を制御するMOSFETのサンプルホールド用スイッチ76に、入力された出力OUTmをホールドするサンプルホールド用容量78が接続されている。また、スイッチ76とサンプルホールド用容量78の接続点にはソースフォロワ型バッファ82が接続されている。バッファ82の出力は相関二重サンプリング回路のCDS用容量86に接続され、CDS用容量86の他端はソースフォロワ型バッファ88に接続されている。なお、本サンプルホールド回路/CDS回路ではソースフォロワ型バッファ88を用いているが、ウォルテージフォロワで構成するようにしてももちろんよい。

【0019】

CDS用容量86とソースフォロワ型バッファ88との接続点にはクランプスイッチ84が接続されている。バッファ88は多重化スイッチ90に接続され、多重化スイッチ90は共通バス配線94に接続されている。このように相関二重サンプリング回路の出力は、多重化スイッチ90を介して共通バス配線94に接続され、時間多重化される。また、垂直選択線54、56等毎にそれぞれ設けられている複数の相関二重サンプリング回路のソースフォロワ型バッファ88は共通バス配線94を介して共通の負荷電流源92に接続されている。

【0020】

次に、図4及び図5を中心に図1乃至図3も参照しつつ、本実施の形態による固体撮像装置の動作について説明する。図4は本実施の形態によるXYアドレス型イメージセンサ1の画素の断面構造と電位の模式図を示している。図5は、XYアドレス型イメージセンサ1の動作を示すタイミングチャートである。

【0021】

図4(a)は図1左上の画素を例に取った画素断面構造を示しており、Pウェル100にPN接合のフォトダイオード2を構成するN⁻領域が形成されている。Pウェル上には絶縁膜102(ゲート絶縁膜を含む)が形成されている。図示の方向からは移送ゲート10と水平選択スイッチ26が並列に形成され、リセットスイッチ34は当該断面には表れていない。移送ゲート10のゲート電極に関してN⁻領域の反対側であって、移送ゲート10のゲート電極と水平選択スイッチ26のゲート電極との間の領域は、N⁺層のフローティングディフュージョン(FD)領域である。水平選択スイッチ26に関してFD領域の反対側に形成されたN⁺領域(BUS)は垂直選択線54を介して電荷増幅器(CTIA)41に接続されている。

【0022】

なお、図4(e)に示すように、感光部にフォトダイオードの代わりにフォトゲートPHGを用いてももちろんよく、以下の説明は図4(e)に示したフォトゲートを用いたXYアドレス型イメージセンサにも同様に適用可能である。また、フォトゲート自体は公知であるので図4(e)の構成の説明は省略する。

【0023】

図5のタイミングチャートに示すように、ラインリセット信号線74にラインリセット信号L R S Tが outputされ、同時に、リセット制御信号線60にリセット信号R S T_n（nは水平選択線の番号）が出力される。ラインリセット信号L R S Tにより電荷増幅器41及び垂直選択線54がリセットされ、リセット信号R S T_nによりFD領域（検出容量）がリセット電圧供給線58からのリセット電圧V R Sにリセットされる（図4（b）参照）。このとき、移送ゲート10及び水平選択スイッチ26は共にオフ状態である。また、電荷増幅器41が図2に示したCMOSインバータ42で構成される場合には、垂直選択線54及びB U SはほぼV D D／2の電位にリセットされ、電荷増幅器の出力O U T_mに電圧V D D／2が出力される。

【0024】

光が照射されてフォトダイオード2でキャリアが発生すると、N⁻領域に電荷が蓄積される。フォトダイオード2とFD領域の間には移送ゲート10によるエネルギー障壁が形成されているため、光電荷蓄積中の電荷はN⁻領域に留まっている。

次に、水平選択スイッチ26のゲートに水平選択線64から水平選択信号R W_nが入力して水平選択スイッチ26がオンになると、電荷増幅器41からリセットレベルV R Sに相当する出力O U T_m=V R（リセット電圧）が出力される（図5参照）と共に、FD領域とB U S領域は同電位のほぼV D D／2になる（図4（c）参照）。

【0025】

次に、水平選択スイッチ26がオン状態のままで、移送ゲート制御線62からゲート信号T G_nを移送ゲート10のゲートに入力する。ゲート信号T G_nにより移送ゲート10はオン状態になり、ゲート下の障壁がなくなってフォトダイオード2に蓄積されていた電荷がFD領域（電荷検出容量18）に転送される（図4（d）参照）。このように、感光部は低濃度の逆導電層と移送ゲートで構成され、電荷転送時には低濃度の逆導電層が完全に空乏化するように制御されている。なお、図4（e）に示す感光部がフォトゲートと移送ゲートで構成されている

場合は、電荷転送時にはフォトゲート下が完全に空乏化するように制御されている。

この電荷量に応じた電圧変動が電荷増幅器41から出力OUTm=VS（信号電圧）として出力される。以上の動作は、水平ブランкиング期間に行われ、リセット電圧VR、信号電圧VSの順で電荷増幅器41から出力される。

【0026】

このように本実施の形態では、電荷増幅器41と垂直選択線54をリセットし、同時に検出容量18もリセットした後、電荷増幅器41を検出モードにし、水平選択スイッチ26をオンにして検出容量18を垂直選択線54に接続することにより、検出容量18のリセットレベルをリセット電圧VRに変換し、次いで感光部から電荷を注入または転送して信号電圧VSに変換している。

【0027】

電荷増幅器41からの出力OUTmの変化を簡易回路でシミュレーションした結果を図6に示す。図6の横軸は時間($2 \mu\text{sec}/\text{div}$)を表し、縦軸は出力OUTmの出力電圧を示している。図6は、ラインリセット信号LRSTとリセット信号RSTが $2 \mu\text{sec}$ 毎に出力され、蓄積される電荷が徐々に増大する場合を例にとって示している。 $VDD = 3V$ として、ラインリセット時で $OUTm = VDD/2 = 1.5V$ （図中“ α ”で示す）となり、ラインリセット直後に入力される水平選択信号RWnの入力により $OUTm = VR$ （図中“ β ”で示す）が出力され、ラインリセットから約 $1 \mu\text{sec}$ 後に移送ゲート10がオン状態となり $OUTm = VS$ （図中“ γ ”で示す）が出力されている。このように本実施の形態では、電荷増幅器41から信号蓄積直前のリセット電圧VRが出力され、次いで信号電圧VSが出力される。なお、図5のタイミングチャートからも明らかに本実施の形態による電荷増幅器41は、リセット電圧VR及び信号電圧VSを検出して出力する検出モードの所定の期間だけ電源に接続されて活性化されるようになっているので、省電力化を図ることが可能である。

【0028】

電荷増幅器41からの出力OUTmは、図3に示したサンプルホールド回路及び相関二重サンプリング回路に入力する。図5に示すように、リセット電圧RS

T_n の立ち下がりエッジに同期してサンプルホールド信号 SH がサンプルホールド回路のサンプルホールド用スイッチ 76 のゲートに入力してスイッチ 76 をオン状態にする。また同時に、リセット電圧 RSTn の立ち下がりエッジに同期してクランプ信号 CLP が相関二重サンプリング回路のクランプスイッチ 84 のゲートに入力してスイッチ 84 をオン状態にする。

【0029】

この状態でサンプルホールド回路の入力端子 (IN) に電荷増幅器 41 から $U_{Tm} = VR$ が印加される。リセット電圧 VR はサンプルホールド回路のサンプルホールド用容量 78 を充電すると共に、クランプスイッチ 84 がオン状態なので CDS 用容量 86 も充電する。クランプスイッチ 84 により CDS 用容量 86 の他端が接地電圧に固定され、次いで、クランプスイッチ 84 のオフにより当該他端がフローティングになった時点で、信号電圧 VS がサンプルホールド回路の入力端子に入力されてサンプルホールド用容量 78 に保持される。この結果、CDS 用容量 86 の出力側にはリセット電圧 VR と信号電圧 VS の差に相当する差信号 ($VS - VR$) が生じる。この信号は CDS 用容量 86 に保持され、出力のソースフォロワ型バッファ 88 を駆動する。出力のソースフォロワ型バッファ 88 は、多重化スイッチ 92 を介して水平方向出力線 94 に接続されておりリセット雑音を相殺した差信号 ($VS - VR$) のみが出力される。

【0030】

このように本実施の形態によれば、ラインリセット及び検出容量のリセット後に電荷を転送して信号を検出するため、その後の相関二重サンプリングによって、リセット雑音は相殺され、原理的には FPN も kTC 雜音も発生せず、CMOS を基本とする回路構成で、CCD 型固体撮像装置と同等の画質を実現できる。

【0031】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、電荷増幅器として CMOS インバータを用いた例で説明したが、本発明はこれに限られず、演算増幅器を用いた差動増幅器、ヴォルテージフォロワ等を用いれば、より高性能な固体撮像装置を実現できるようになる。

【0032】

上記実施の形態では主として図1左上の画素を例にとって説明したが、他の画素ももちろん同様に動作する。また、移送ゲート10～16、水平選択スイッチ26～32、その他種々のスイッチ類は、固体撮像装置のチップ上に設けられたCMOSシフトレジスタ、CMOSデコーダなどの周辺制御回路により制御される。

【0033】

また、上記実施の形態では、感光部に入射する光の波長帯域を明示していないが、本発明は、所定の使用波長帯域を有する感光部を用いることにより、可視光領域でも赤外光領域でも適用可能である。

【0034】

【発明の効果】

以上の通り、本発明によれば、簡素な画素構成で広い開口率を有し、FPN及びリセット雑音を低減させた固体撮像装置を実現できる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による固体撮像装置におけるXYアドレス型イメージセンサ1の2×2画素分の回路例を示す図である。

【図2】

本発明の一実施の形態による固体撮像装置における電荷増幅器の回路例を示す図である。

【図3】

本発明の一実施の形態による固体撮像装置におけるサンプルホールド回路及び相関二重サンプリング回路の回路例を示す図である。

【図4】

本発明の一実施の形態によるXYアドレス型イメージセンサの画素の断面構造と電位の模式図を示す図である。

【図5】

本発明の一実施の形態によるXYアドレス型イメージセンサの動作を示すタイ

ミングチャートである。

【図6】

本発明の一実施の形態によるXYアドレス型イメージセンサの電荷増幅器から出力される出力OUTmの変化を簡易回路でシミュレーションした結果を示す図である。

【図7】

CMOSイメージセンサを用いた従来のXYアドレス型固体撮像装置を示す図である。

【図8】

CMOSイメージセンサを用いた従来のXYアドレス型固体撮像装置の他の例を示す図である。

【符号の説明】

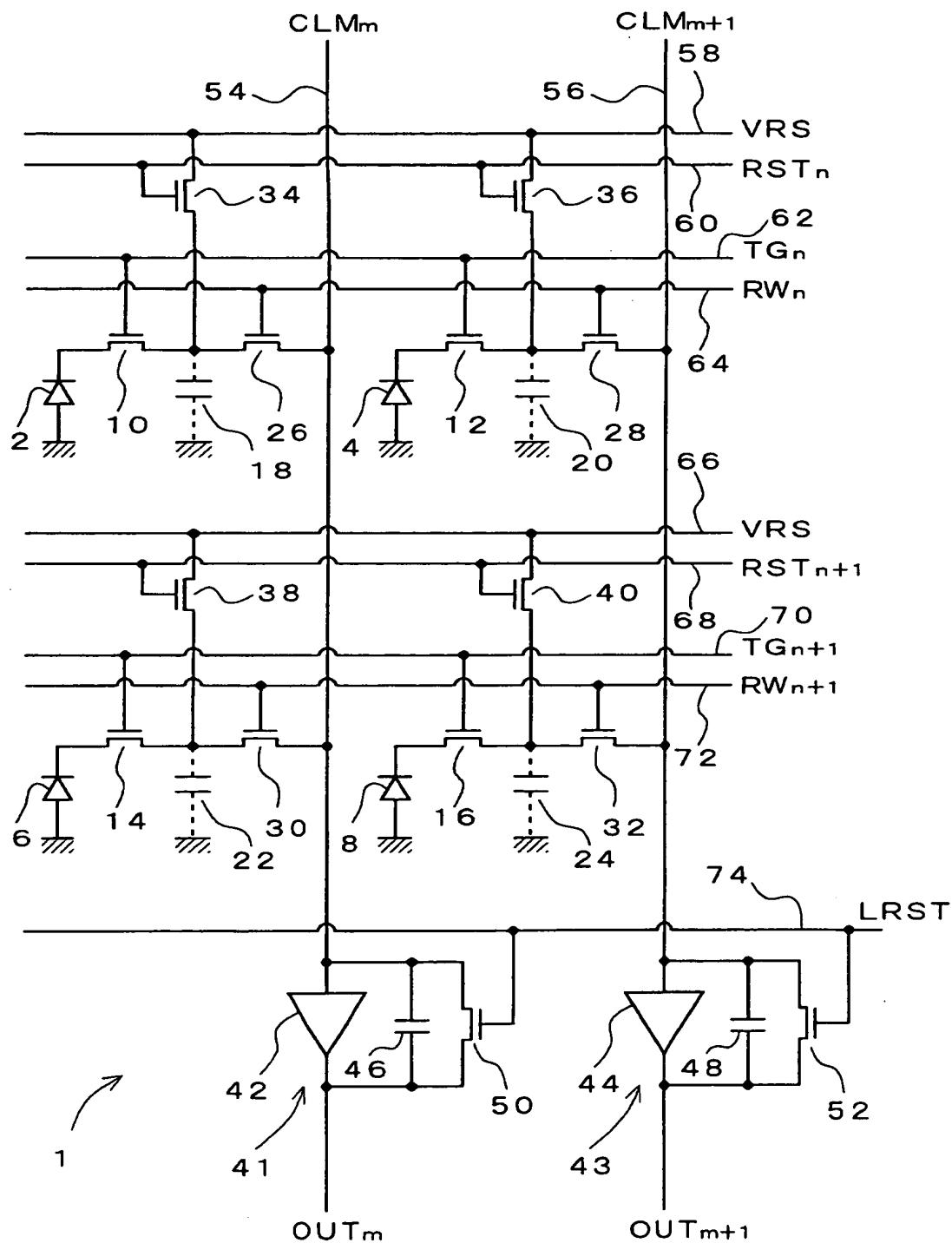
- 1 XYアドレス型イメージセンサ
- 2、4、6、8 フォトダイオード
- 10、12、14、16 移送ゲート
- 18、20、22、24 検出容量
- 26、28、30、32 水平選択スイッチ
- 34、36、38、40 リセットスイッチ
- 41、43 電荷増幅器
- 42、44 CMOSインバータ
- 46、48 帰還容量
- 50、52 ラインリセットスイッチ
- 54、56 垂直選択線
- 58、66 リセット電圧供給線
- 60、68 リセット制御信号線
- 62、70 移送ゲート制御線
- 64、72 水平選択線
- 74 ラインリセット信号線
- 76 サンプルホールド用スイッチ

- 78 サンプルホールド用容量
- 82 ソースフォロワ型バッファ
- 84 クランプスイッチ
- 86 CDS用容量
- 88 ソースフォロワ型バッファ
- 90 多重化スイッチ
- 92 負荷電流源
- 94 共通バス配線
- 100 Pウエル
- 102 絶縁膜

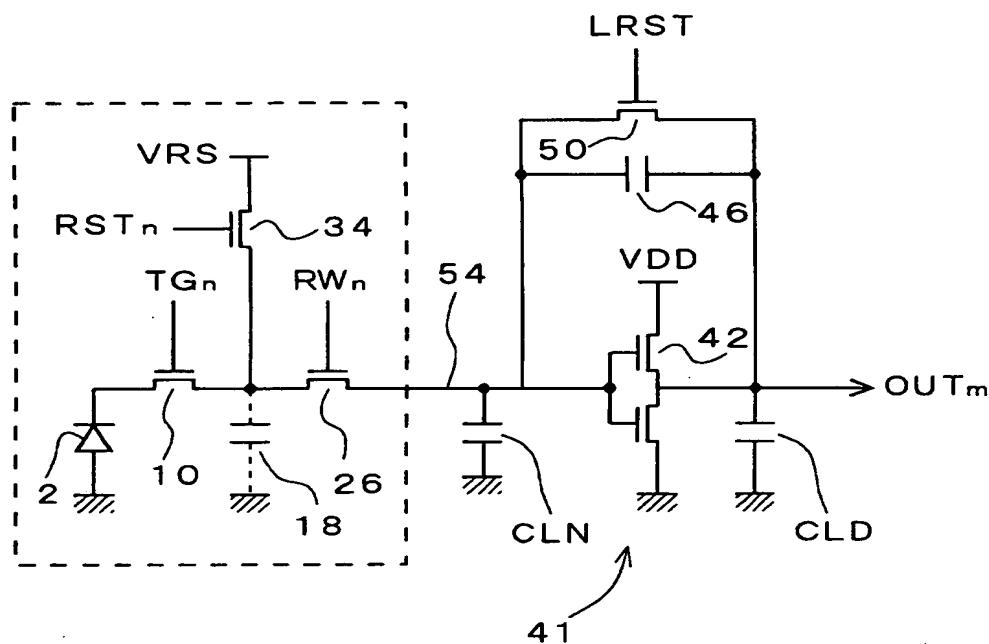
【書類名】

図面

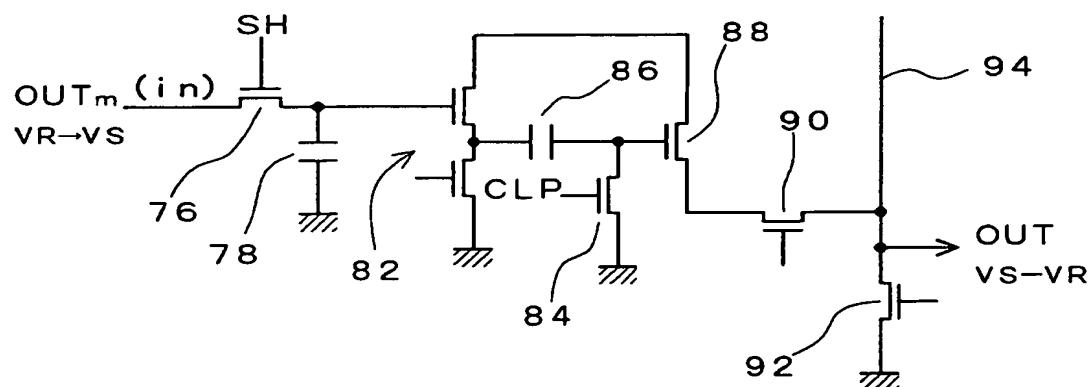
【図1】



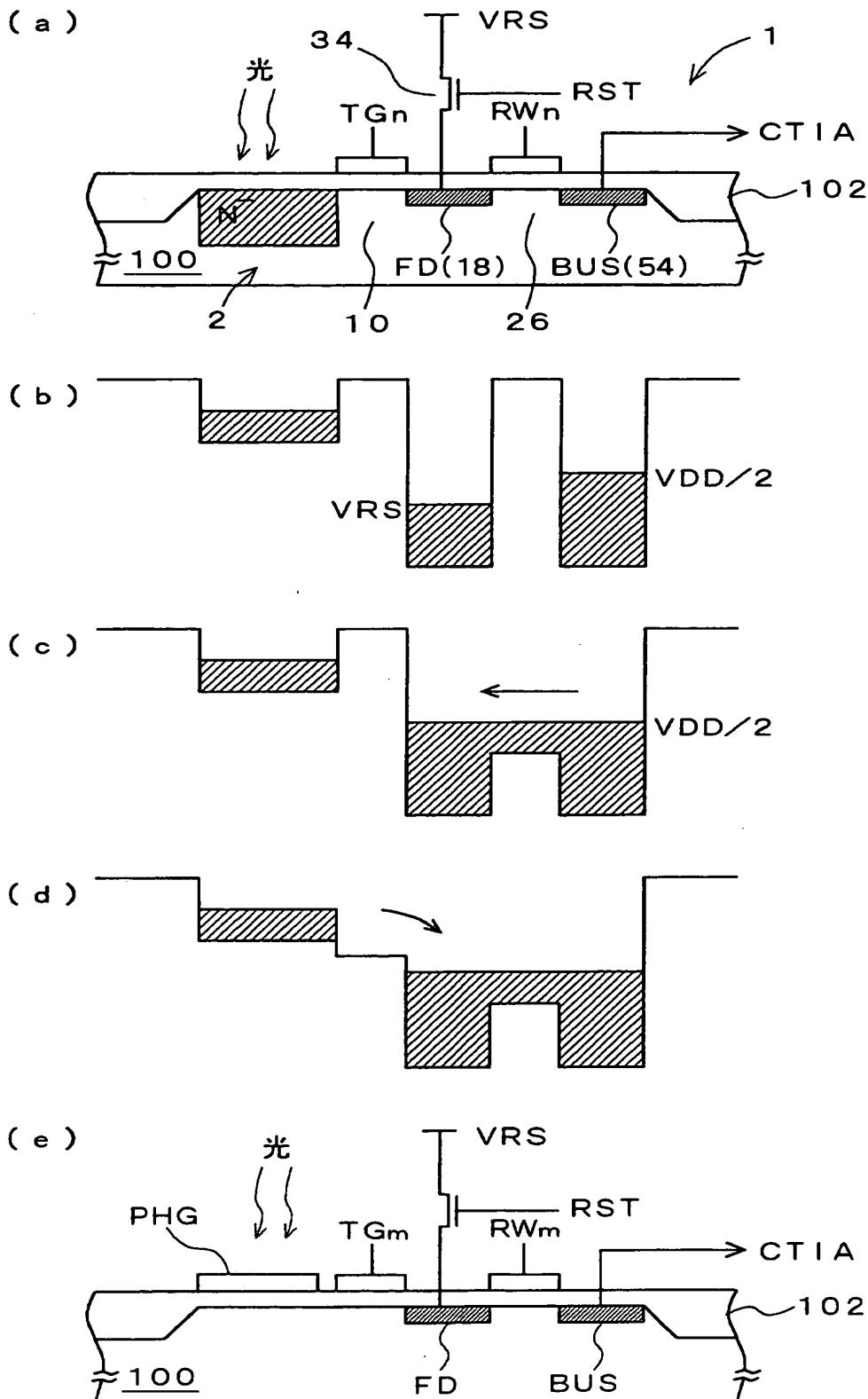
【図2】



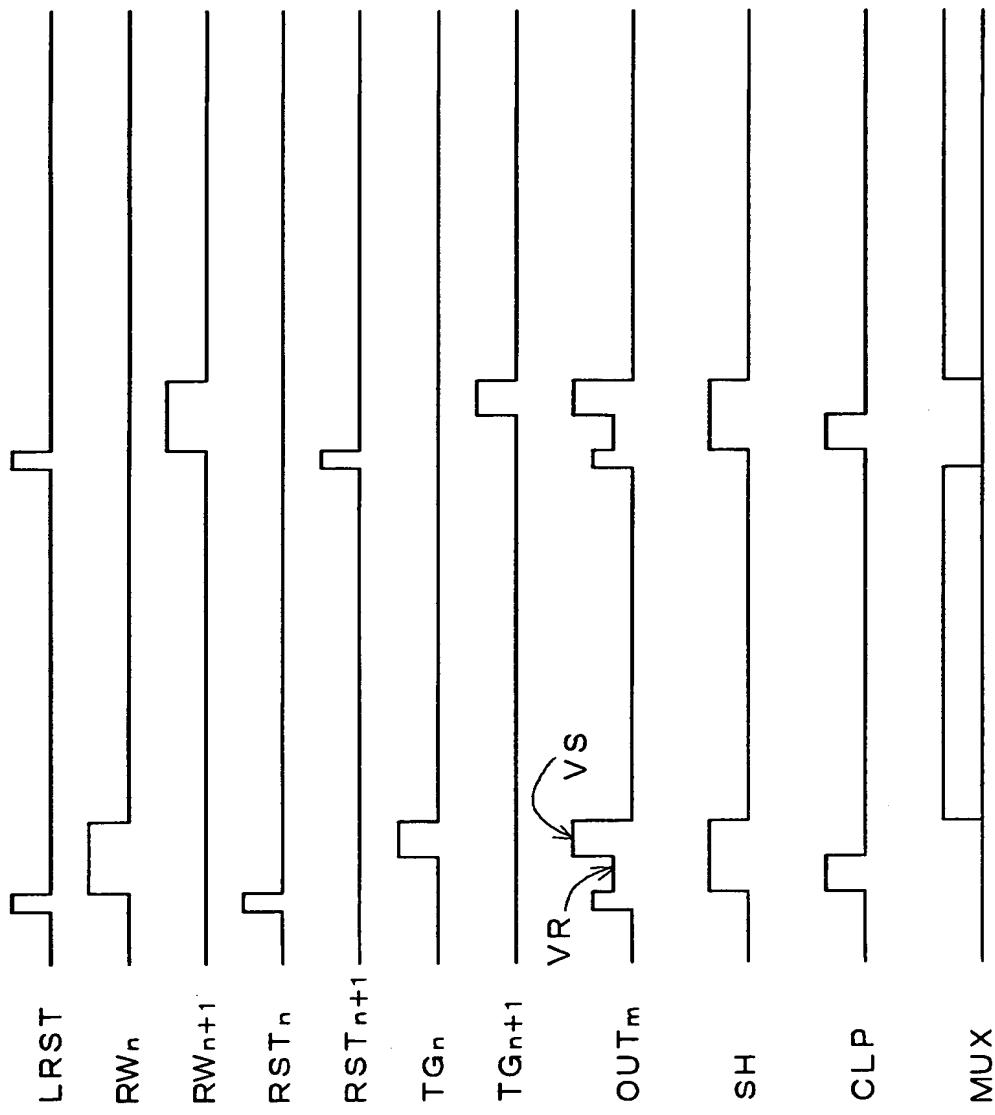
【図3】



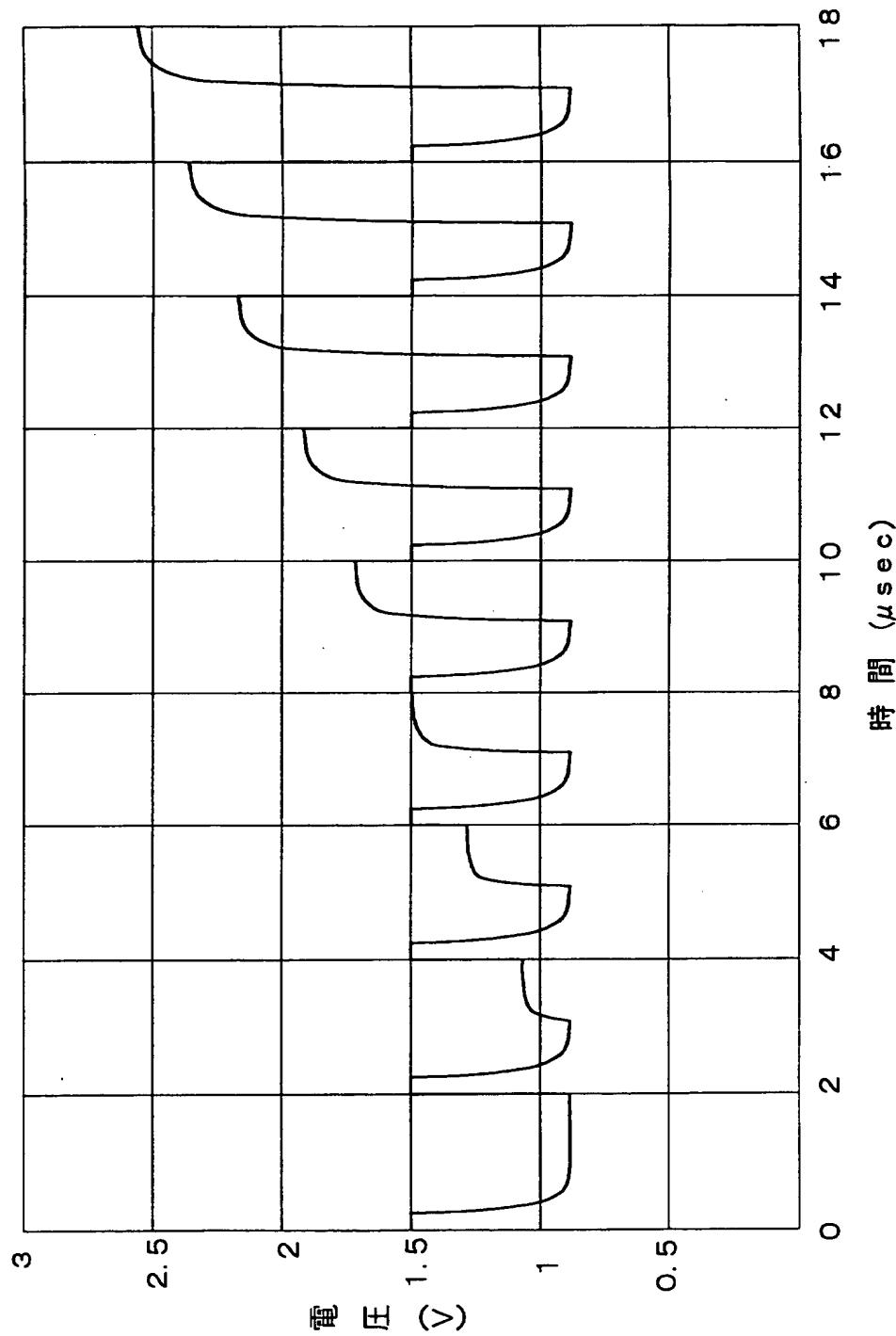
【図4】



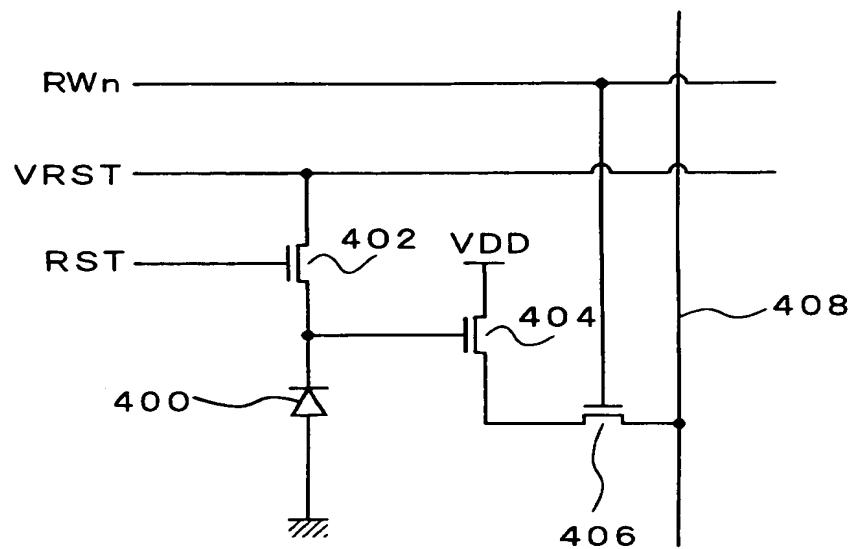
【図5】



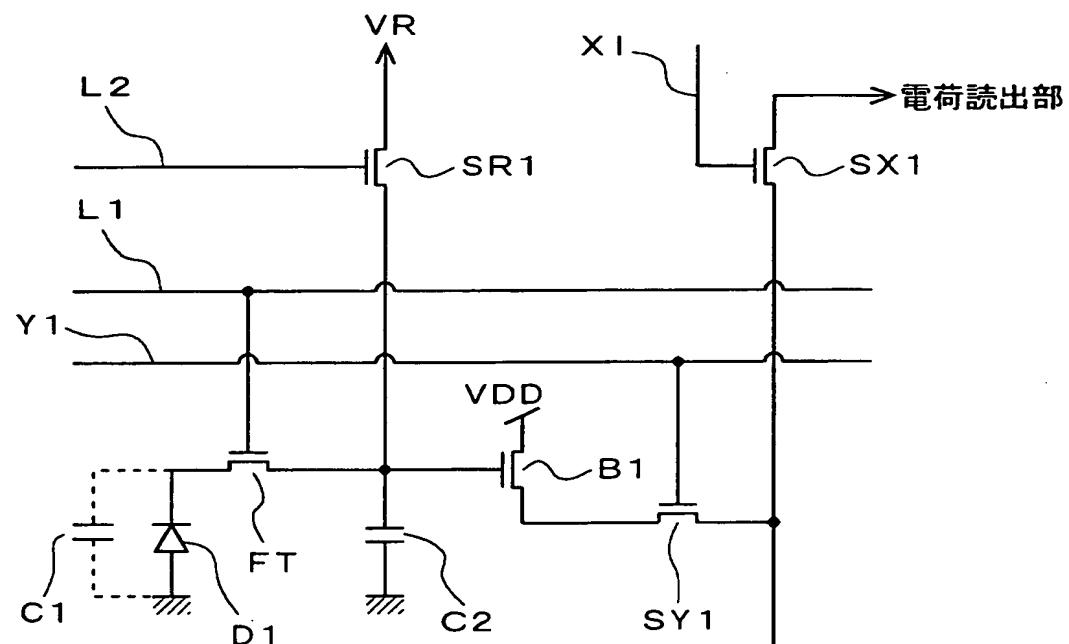
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 本発明は、CMOSプロセスで製造されるXYアドレス型固体撮像装置に関し、簡素な画素構成で広い開口率を有し、FPN及びリセット雑音を低減させた固体撮像装置を提供することを目的とする。

【解決手段】 画素中には、フォトダイオード2に蓄積された電荷を移送する移送ゲート10と、移送された電荷を蓄積するリセット可能な検出容量18と、検出容量18の電荷を出力する水平選択スイッチ26とが形成されている。複数の画素の水平選択スイッチ26、30は垂直選択線54に接続され、垂直選択線54には、出力された検出容量の電荷を電圧に変換する電荷増幅器41が設けられている。

【選択図】 図1

特平11-182589

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社